

Docket No. 250864US2



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Toshihiro SEKIGAWA, et al.

GAU: 2816

SERIAL NO: 10/808,432

EXAMINER: Ton, My Trang

FILED: March 25, 2004

FOR: METHOD FOR APPLICATION OF GATING SIGNAL IN DOUBLE GATE FET

SUBMISSION NOTICE REGARDING PRIORITY DOCUMENT(S)

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

Certified copies of the Convention Application(s) corresponding to the above-captioned matter:

☒ are submitted herewith

☐ were filed in prior application filed

☐ were submitted to the International Bureau in PCT Application Number _____

Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Gregory J. Maier

Registration No. 25,599

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 11/04)

I:\ATTY\WTB\250864US\SUBMISSION PRIORITY DOC 07-05-05.DOC

W. Todd Baker

Registration No. 45,265

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2003年 3月27日

出 願 番 号
Application Number: 特願2003-087386
[ST. 10/C]: [JP 2003-087386]

出 願 人
Applicant(s): 独立行政法人産業技術総合研究所

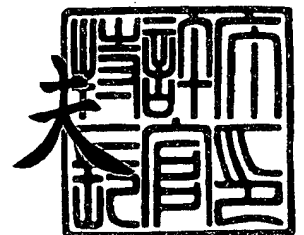
CERTIFIED COPY OF
PRIORITY DOCUMENT

BEST AVAILABLE COPY

2004年 3月19日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特2004-3022599

【書類名】 特許願

【整理番号】 329-02780

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/78

【発明者】

 【住所又は居所】 茨城県つくば市東 1 - 1 - 1 独立行政法人産業技術総合研究所つくばセンター内

 【氏名】 関川 敏弘

【発明者】

 【住所又は居所】 茨城県つくば市東 1 - 1 - 1 独立行政法人産業技術総合研究所つくばセンター内

 【氏名】 小池 帆平

【発明者】

 【住所又は居所】 茨城県つくば市東 1 - 1 - 1 独立行政法人産業技術総合研究所つくばセンター内

 【氏名】 中川 格

【特許出願人】

 【識別番号】 301021533

 【氏名又は名称】 独立行政法人産業技術総合研究所

 【代表者】 吉川 弘之

 【電話番号】 029-861-3280

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 二重ゲート電界効果トランジスタ

【特許請求の範囲】

【請求項 1】 二重ゲート電界効果トランジスタにおいて、第一のゲート電極に入力した信号に対し、信号の変化方向が同一であり、信号レベルが所定の値だけシフトした信号を第二のゲート電極に印加することを特徴とした二重ゲート電界効果トランジスタのゲート信号印加方法。

【請求項 2】 二重ゲート電界効果トランジスタにおいて、第一のゲート電極に入力した信号に対し、信号の変化方向が同一であり、立ち上がり時間又は立ち下がり時間を速く又は遅くした信号を第二のゲート電極に印加することを特徴とした二重ゲート電界効果トランジスタのゲート信号印加方法。

【請求項 3】 二重ゲート電界効果トランジスタにおいて、第一のゲート電極に入力した信号に対し、信号の変化方向が同一であり、所定の時間差を有する信号を第二のゲート電極に印加することを特徴とした二重ゲート電界効果トランジスタのゲート信号印加方法。

【請求項 4】 請求項 1 ないし請求項 3 記載のゲート信号印加方法を用いた二重ゲート電界効果トランジスタ有する集積回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本願発明は、二重ゲート電界効果トランジスタのしきい値電圧制御に関する。

【0 0 0 2】

【従来の技術】

微小なチャネル長を有する絶縁ゲート電界効果トランジスタを実現するためには、いわゆる短チャネル効果（チャネル長を短くした場合のしきい値電圧の急激な低下）の防止が必須である。

【0 0 0 3】

そのための一つの素子構造として、図 1 に示される二重ゲート電界効果トランジスタがある（下記「特許文献 1」参照）。図において、1 は基板、2 は第二ゲ

ート絶縁膜であるとともに全体は図示されてはいないが基板上に形成された半導体結晶層を基板と分離する絶縁層であり、3、4、および5はそれぞれ半導体結晶層の一部に形成されたソース領域、ドレイン領域、およびチャネル領域であり、6は第一ゲート絶縁膜、7は絶縁膜、8はソース電極、9はドレイン電極、10は第一ゲート電極、11は第二ゲート電極である。

【0004】

この構造は、短チャネル効果の抑制方法としては、最も有効であるとされている。すなわち、上下の第一ゲート電極10および第二ゲート電極11によりチャネル領域5をシールドし、ドレイン電界がソース、チャネル領域界面の電位分布に与える影響を抑えることによって、短チャネル化してもソース、チャネル領域界面の電位分布をゲート電極のみで安定して制御できるようにし、しきい値電圧の急激な低下を防止するものである。

【0005】

このような素子において問題となる重要な点は、しきい値電圧をいかに制御するかという点である。通常は、チャネル領域内の不純物濃度を制御して行われるが、半導体自体の耐圧の制限によりその濃度の上限は 10^{18} cm^{-3} 程度に制限される。その場合、素子寸法が微細になると、チャネル領域内の不純物原子の数が極端に少なくなり、素子ごとの不純物原子数の統計的変動が素子のしきい値電圧の変動として顕著に現れてくる。この点は、極めて多数の素子を用いる集積回路においては歩留まりの低下として問題となる。

【0006】

二重ゲート電界効果トランジスタにおいては、真性半導体に近い極めて低濃度のチャネル領域を短チャネル効果の抑制を損なわずに用いることが出来るので、この問題を避けることが出来る。しかしそのため、適当なしきい値電圧を実現するにはゲート電極材料として、適当な仕事関数を有する金属等を使用せざるを得ないが、仕事関数値が飛び飛びの値であるため細かな制御はできなかった。また、SiGe等を用い、SiとGeの割合を適当に選択し、仕事関数を適当な値とする方法もあるが、プロセスが複雑になるという欠点を有していた。

【0007】

上記説明においては、二重ゲート電界効果トランジスタの二つのゲートは電氣的に接続されている場合であったが、第 2 図 (d) に示されるように、一方のゲート電極を信号入力に用い、他方のゲート電極には所定の定電位（定電位の値は随時変わるが、入力信号周期より十分長い期間は少なくとも一定電位に保たれている場合も含む）を印加し、信号入力ゲートから見たしきい値電圧を最適値に制御する方法も知られている。しかしこの場合は、信号入力ゲート側のチャネルしか電流が流れないので、二つのゲート電極を電氣的に接続した場合に比べて電流は約半分となり過渡応答動作時の負荷駆動能力の劣化を招く欠点がある。さらに、しきい値電圧以下において、ドレイン電流を一桁変えるのにゲート電圧変化がどれぐらい必要かと言う、いわゆるゲート振幅（S ファクターとも言われ、単位は mV/桁）が大きくなる欠点がある。ちなみに、二つのゲート電極を電氣的に接続した場合は、室温で約 60mV/桁というほぼ理論限界に近い小さな値が実現される。

【0 0 0 8】

【特許文献 1】 特許第 2 0 2 1 9 3 1 号

【0 0 0 9】

【発明が解決しようとする課題】

本願発明の課題は上記欠点を除去し、しきい値電圧を任意にかつ精度よく制御し得る二重ゲート電界効果トランジスタのゲート信号入力方法を提供することである。

【0 0 1 0】

【課題を解決するための手段】

過渡応答動作時において、二重ゲート電界効果トランジスタの一方のゲート電極に通常の論理操作を行うための入力信号を印加し、他方のゲート電極にはその信号に対し、信号レベルの時間的变化方向が同一（以下「同相」という。）で、かつ信号の低レベルまたは高レベルの少なくとも一方を所定の値だけシフトさせた信号、または所定の時間差（進行または遅延でもよい）を持たせた信号、または信号の時間変化を速く又は遅くした信号を印加する。

【0 0 1 1】

図2は、ゲート電極1の入力信号 V_{g1} の波形とゲート電極2への入力信号 V_{g2} の波形の時間関係を模式的に説明したものである。図2(a)は、負側又は正側にシフトされた入力信号 V_{g1} を V_{g2} として用いる本願第一の方法を図示したものである。同図(b)は、 V_{g2} として、 V_{g1} より、立ち上がり、立ち下がりとも遅い波形か、両方とも速い波形を用いる本願第二の方法を図示したものである。なお、場合によっては、立ち上がりを速く、立ち下がり遅くした波形か、またはその逆の波形を用い、立ち上がり時は、しきい値電圧を小さく、立ち下がり時は、しきい値電圧を大きくするか、又は、その逆にして回路性能を改善することも可能である。同図(c)は、 V_{g2} として V_{g1} を遅延または進行させた波形を用いた本願第三の方法を図示したものである。また、同図(d)は、従来のしきい値電圧制御法であるところの V_{g2} に定電位を与える場合を図示してある。

【0012】

【作用】

n形電界効果トランジスタの場合を例にとって説明する。従来のように二重ゲート電界効果トランジスタの一方のゲート電極、例えば、第一ゲート電極には入力信号 V_{g1} を印加し、他方のゲート電極、例えば、第二ゲート電極には両ゲート電極を接続して動作させた場合のしきい値電圧 V_{T0} より低い電圧、例えば-0.5Vあるいは-1.0Vの定電圧 V_{g2} を同時に入力する。

そうすると、図3に示すように、両方のゲートを電氣的に接続し入力信号を印加した場合($V_{g2}=V_{g1}$)に対し、しきい値電圧は共に正の方向にシフトさせることが出来それぞれ V_{T1} および V_{T2} が得られる。

【0013】

しかし、図3に見られるように、定電圧 V_{g2} を印加した場合は、しきい値電圧より低い電圧範囲において、特性曲線の傾きは、小さくなっており、ゲート振幅が大きくなる欠点を示している。なお、 I_{vt} は、しきい値電圧を定義するドレイン電流値である。また、これら特性は、二次元デバイスシミュレータatlas(米国、シルバコ社)を用い、ゲート長100nm、第一および第二のゲート酸化膜厚2nm、シリコンチャネル層厚5nm、第一及び第二ゲート電極は、アルミニウムゲート電極の条件で計算してある。以下の特性図も同様である。ちなみに、この場合 V_{T0}

は約-0.2Vである。

【0 0 1 4】

これに対し、本願発明の第一の方法においては、図 2 (a) に見られるように、二重ゲート電界効果トランジスタの一方のゲート電極、例えば第一ゲート電極に入力信号 V_{g1} を印加し、他方のゲート電極、例えば第二ゲート電極には、両ゲート電極を接続して動作させた場合のしきい値電圧 V_{T0} より低い電圧、例えば-0.5 V ($V_{g1}-V_{g2}=0.5V$)あるいは-1.0 V ($V_{g1}-V_{g2}=1.0V$)だけ少なくとも V_{g1} の低レベルをシフトさせた入力信号 V_{g2} を同時に入力する。

そうすると、図 4 に示すように、両方のゲートを電氣的に接続し入力信号を印加した場合 ($V_{g2}=V_{g1}$) に対し、第一ゲート電極から見たしきい値電圧をそれぞれのレベルシフト量に応じてより大きな値の正方向シフトさせることが出来それぞれ V_{T1} および V_{T2} なるしきい値電圧を得ることが出来る。

【0 0 1 5】

この場合、図 4 に見られるように、いずれもほぼ同じゲート振幅が得られ、定電位のみを与えた場合のような大きな劣化はない。なお、図 4 の場合は、 V_{g2} の信号振幅は、 V_{g1} と同じとしている。また横軸は、ゲート電圧 V_{g1} としてあるが、トランジスタ内部の時間応答は、入力信号に対して十分早いのが普通であるので、時間軸と読み替えることもできる。

【0 0 1 6】

従って、この場合は、信号の立ち上がり時間応答と立ち下がり時間応答は同じ曲線をたどることを示しており、両時間応答でのしきい値電圧値は、原理的には同じである。また、 V_{T0} より正方向にレベルシフトさせた入力信号 V_{g2} を第二ゲート電極に同時に印加すれば、しきい値電圧を逆に負方向にシフトさせることが出来る。ただし、低レベルにおけるリーク電流は、若干増加する。

【0 0 1 7】

本願発明の第二の方法は、図 2 (b) に見られるように、第二ゲート電極に印加する信号 V_{g2} の立ち上がり時間を第一ゲート電極に印加された入力信号 V_{g1} のそれよりも速く又は遅くする方法である。

【0 0 1 8】

前者の場合は、第一ゲート電極から見たゲート振幅は、理論値より見かけ上小さくなり、また、しきい値電圧は、負方向にシフトする。後者の場合、ゲート振幅は、大きくなるが、第二ゲート電極に定電位を与える従来の場合よりは、小さい値が実現でき、しきい値電圧を正方向にシフトさせることが出来る。立ち下がり時間の場合は、ゲート振幅については同様であるが、しきい値電圧については逆の作用、効果を得ることが出来る。

【 0 0 1 9 】

したがって、立ち上がり時と立ち下がり時のしきい値電圧が異なって見え、ヒステリシス特性が得られる。立ち下がり時間、立ち上がり時間の早い信号を発生する方法は、トリガー回路等を用いて、入力信号より速い信号を発生することが出来る。遅くする方法は、積分回路などがある。

【 0 0 2 0 】

本願発明の第三の方法においては、図 2 (c) に見られるように、第二ゲート電極に第一ゲート電極に印加した信号を所定の遅延を持たせて印加する。

【 0 0 2 1 】

そうすると、立ち上がり時間応答の場合においては、遅延時間内は、第二ゲートには定電圧、この場合は、低レベルと同一の電圧が印加されているが、その時間以後は、その遅延時間内に二つの信号の間に生じた等価的電圧差だけ負方向にレベルシフトされた信号が第二ゲート電極に印加される。

【 0 0 2 2 】

逆に立ち下がり時間応答の場合は、遅延時間内は、高レベルと同一の電圧が印加されているので、第二ゲート電極には、逆に正方向にレベルシフトされた信号が第二ゲート電極に印加されることになる。

【 0 0 2 3 】

したがって、図 5 に示すように、立ち上がり時には遅延時間内は、第二ゲート電極に定電圧を印加した場合と同様な電流応答であるが、それ以後は、負方向にレベルシフトされた信号が同時に印加された場合と同じようにゲート振幅の劣化はなく、かつ正方向にしきい値電圧がシフトされた応答を示す。

【 0 0 2 4 】

立ち下がり時には、逆に負方向にしきい値電圧のシフトされた応答を示し、同様にゲート振幅の劣化はない。この場合、低レベル（-0.5V）に達したとき、ドレイン電流が低下しているのは、第二ゲート電圧が遅れて低レベルに達するためである。

【0025】

この方法においては、立ち上がり時は、しきい値電圧が大きく、立ち下がり時は、しきい値電圧が小さいというヒステリシス特性を示し、第一、第二ゲート電極に同一信号を入力した場合と比べて、雑音余裕が大きくとれ、また定常状態においては、両ゲート電極には同一の電圧が印加されていることになるから、オン電流や低レベルリーク電流の劣化はない。

【0026】

以上、本願発明の説明においては、第二ゲート酸化膜厚を第一ゲート酸化膜厚と同じとして説明したが、例えば第二ゲート酸化膜厚を第一ゲート酸化膜厚より厚い場合でも作用、効果は同様である。

【0027】

なお、この場合、第二ゲート電極から見たしきい値電圧は、第一ゲート電極から見たしきい値電圧より大きくなり、オン電流や、リーク電流を小さくすることが出来る。

【0028】

さらに、ゲート電極容量が小さい分だけ過渡応答を速くすることもできる。さらに、第一ゲート電極と第二ゲート電極の役割を交換してもよく、またゲート電極が仕事関数の異なる電極材料でそれぞれ構成されていても良く、さらに本願発明の第一の方法、第二の方法および第三の方法を任意に混在させて用いることもでき、いずれも同様の作用、効果が得られることはもちろんである。

【0029】

【実施例】

まず、図6に、回路図に用いる二重ゲート電界効果トランジスタの図記号を示す。図6(a)は、nチャネル素子を示し、同図(b)はpチャネル素子を示す。また、100は第一ゲート電極、200は第二ゲート電極、300はドレイン電極、400はソース

電極を示す。

【0030】

図7は、本願発明の第一の方法を用いたインバータの実施例である。図において20は入力端子、21は出力端子、22はドレイン電源端子、23はソース電源端子である。入力端子20に入力された信号は第一ゲート電極に印加され、さらにレベルシフト回路で電位レベルをシフトされ第二ゲート電極に印加される。負荷素子としては、抵抗、nチャネル電界効果トランジスタ、pチャネル電界効果トランジスタなどが用いられる。レベルシフト回路の具体例としてはソースフォロワー回路がある。

【0031】

図8は、他の実施例であり、レベルシフト回路として逆並列に接続されたダイオード、24および25を用い、入力信号は順方向電圧だけ立ち上がり時には負方向にレベルシフトされ、立ち下がり時には正方向にレベルシフトされる。定常状態においては両ゲート電極の電位はほぼ等しくなるからオン状態での駆動電流、オフ状態でのリーク電流は両ゲートを電氣的に接続した場合と同様であり、過渡応答時および定常状態とも従来法のような劣化はない。ダイオードとしては蓄積時間効果のないショットキダイオードが望ましい。

【0032】

図9は、本願発明の第二の方法による他の実施例を示す。第一ゲート電極の入力信号は分圧回路または積分回路を通して第二ゲート電極に印加される。したがって、第二ゲート電極には立ち上がりまたは立ち下がりの遅くなった同相信号が印加される。

【0033】

図10は、分圧回路を具体的に示した実施例である。容量26によって両ゲート電極が接続されている。第二ゲート電極には理想的には容量26と第二ゲート電極容量によって分圧された信号が印加され、したがって立ち上がり、立ち下がりが分割比だけ遅くなった信号が印加されることになる。図の抵抗はなくても良いが、ある場合には定常状態においてはソース電極の電位と等しくなり、第一ゲート電極から見たしきい値電圧は大きくなり、また第一電極側のチャンネルのみの

動作となるからリーク電流やオン電流が低減され低消費電力となる。なお、上記抵抗の接続先はソース電極でなくても良く、他の定電位点に接続しても良い。

【0 0 3 4】

図 1 1 は、積分回路を具体的に示した実施例である。2 7 の抵抗 R が第一ゲート電極と第二ゲート電極間に接続されており、これと第二ゲート電極容量とで近似的な積分回路が構成される。この場合、定常状態においては両電極の電位は等しくなる。

【0 0 3 5】

図 1 2 は、本願発明の第三の方法による他の実施例である。X 1、X 2 は二重ゲート電界効果トランジスタであり、X 1、X 2 の第二ゲート電極はそれぞれ X 2、X 1 のドレイン電極にクロス結合されている。2 8、2 9 は信号入力端子、3 0、3 1 は出力端子であり、論理値としては互いに相補的な値を出力する。3 2 はドレイン電源 VDD 端子、3 3 はソース電源 VSS 端である。この回路はいわゆるダブルレール論理回路のインバータ回路として動作する。

【0 0 3 6】

動作の概要を以下に示す。まず、入力端子 2 8、2 9 が低レベルであれば、出力端子 3 0、3 1 の論理状態が保持される。すなわち、一方が高レベルで、他方は低レベルのままである。入力端子 2 8、2 9 が同時に高レベルであれば X1、X2 は同時にオンとなるから出力端子 3 0、3 1 は同時に低レベルとなる。この状態から入力端子 2 8、2 9 に同時に低レベルを入力すると、出力端子 3 0、3 1 は一方が高レベル、他方が低レベルとなるが、どちらがそうなるかは不定である。

【0 0 3 7】

出力端子での状態を変えるには高レベルである方のトランジスタの入力端子に高レベルを入力し、他方のトランジスタの入力端子には低レベルを入力する。例えば、出力端子 3 0 が高レベル、3 1 が低レベルの時は、入力端子 2 8 に高レベル、2 9 に低レベルを入力する。そうすると、X 1 はオフからオンに、X 2 はオフからオンとなり、出力端子 3 0 は低レベルに、3 1 は高レベルに変化する。

【0 0 3 8】

この時、X 1 の第二ゲート電極は出力端子 3 1 に接続されているから、低レベ

ルから高レベルに変化し、かつ入力端子 2 8 の入力信号と同相な信号が入力されるが、約トランジスタ二段分の遅延を持って入力されることになる。また、X2 の第二ゲートにはトランジスタ一段分の遅延を持った入力端子 2 9 の入力信号と同相な信号が入力されることになる。

【0 0 3 9】

この回路は、状態変化の時のみトランジスタ X1、X2 のそれぞれ両チャネルが動作状態になり、定常状態においては低レベル出力状態のトランジスタの片側チャネルのみオン状態となっているから、負荷素子に抵抗あるいは n チャネル素子を用いた場合でも消費電力を小さくできる。

【0 0 4 0】

この回路は、SRAM セル回路としても用いることが出来る。その場合、セル選択トランジスタを入力端子 2 8、2 9 にそれぞれ接続し、また、出力端子、3 0、3 1 にも別途それぞれ接続する。そうすると、セルへの入力とセルからの出力を別々のビット線から取り出せるので読み込みと読み出しの衝突は避けることが出来る。さらに、必要なら出力ビット線からの読み込みも可能であり、メモリとしての動作の多様性を有する。

【0 0 4 1】

【発明の効果】

本願発明においては、二重ゲート電界効果トランジスタのゲート信号入力方法に工夫を加えることにより、二重ゲート電界効果トランジスタのしきい値電圧を任意にかつ精度よく制御し得る。

【図面の簡単な説明】

【図 1】 図 1 は従来の二重ゲート電界効果トランジスタの構造例

【図 2】 ゲート電極への入力波形図

【図 3】 従来のゲート入力印加方法による二重ゲート電界効果トランジスタのゲート特性例

【図 4】 本願発明の方法によるゲート特性

【図 5】 本願発明の方法によるゲート特性

【図 6】 二重ゲート電界効果トランジスタに用いる回路記号の説明図

【図 7】 本願発明をインバータに用いた例

【図 8】 図 6 のインバータにおけるレベルシフト回路を具体化した例

【図 9】 別のインバータの例

【図 1 0】 図 8 のインバータにおける分圧回路を具体化した例

【図 1 1】 図 8 のインバータにおける分圧回路を具体化した別の例

【図 1 2】 本願発明をダブルレール論理回路のインバータ回路に用いた例

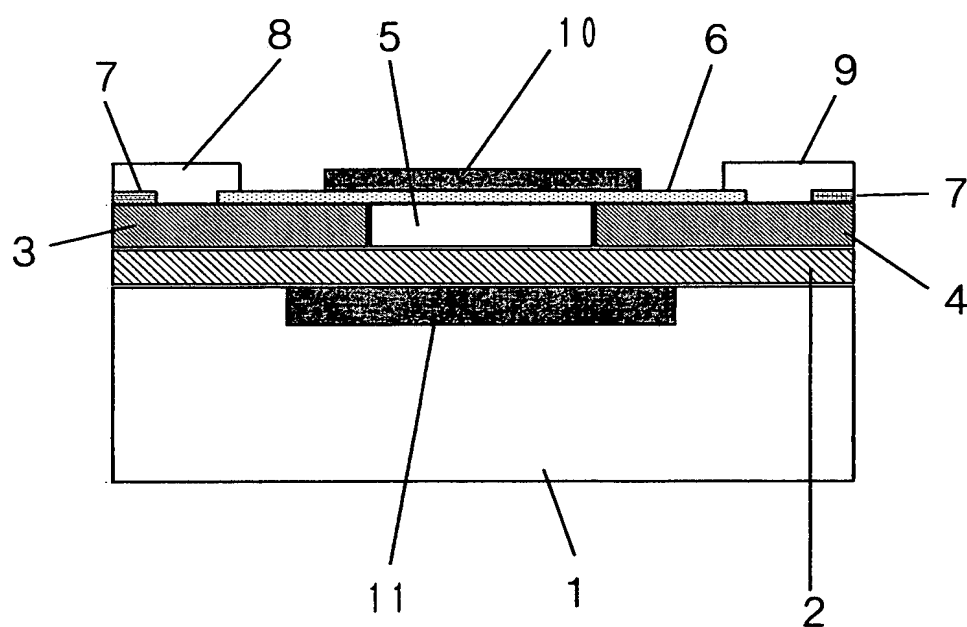
【符号の説明】

- 1 . . . 基板
- 2 . . . 第二ゲート絶縁膜
- 3 . . . ソース領域
- 4 . . . ドレイン領域
- 5 . . . チャネル領域
- 6 . . . 第一ゲート絶縁膜
- 7 . . . 絶縁膜
- 8 . . . ソース電極
- 9 . . . ドレイン電極
- 1 0 . . . 第一ゲート電極
- 1 1 . . . 第二ゲート電極
- 2 0 . . . 入力端子
- 2 1 . . . 出力端子
- 2 2 . . . ドレイン電源端子
- 2 3 . . . ソース電源端子
- 2 4 . . . ダイオード
- 2 5 . . . ダイオード
- 2 6 . . . 容量
- 2 7 . . . 抵抗
- 2 8 . . . 信号入力端子
- 2 9 . . . 信号入力端子
- 3 0 . . . 出力端子

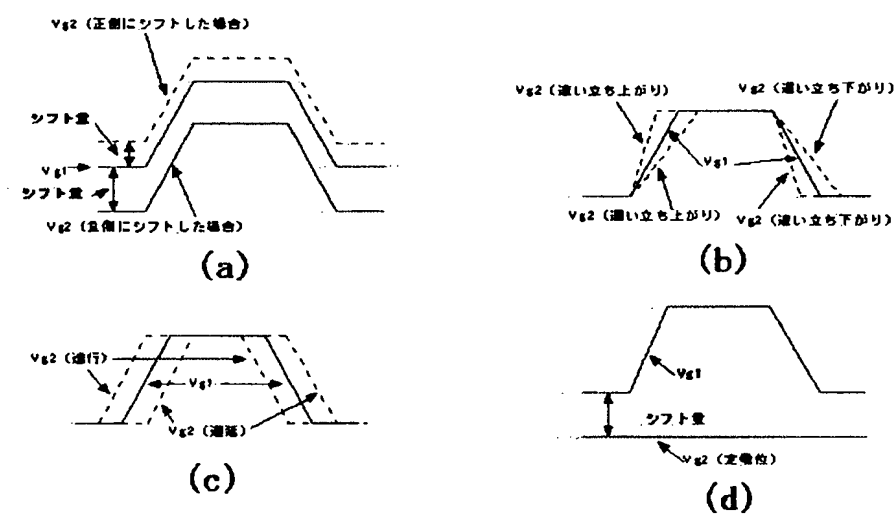
- 3 1 ・ ・ 出力端子
- 3 2 ・ ・ ドレイン電源 V D D 端子
- 3 3 ・ ・ ソース電源 V S S 端子
- 1 0 0 ・ 第一ゲート電極
- 2 0 0 ・ 第二ゲート電極
- 3 0 0 ・ ドレイン電極
- 4 0 0 ・ ソース電極
- X 1 ・ ・ 二重ゲート電界効果トランジスタ
- X 2 ・ ・ 二重ゲート電界効果トランジスタ

【書類名】 図面

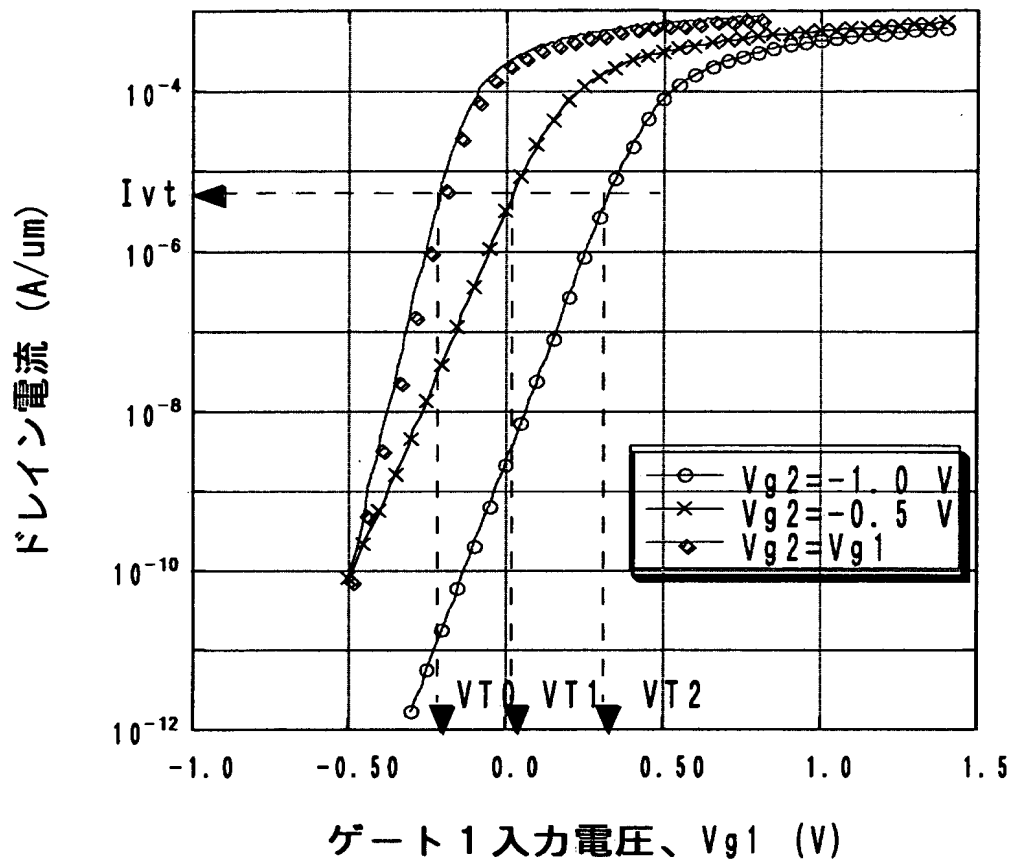
【図 1】



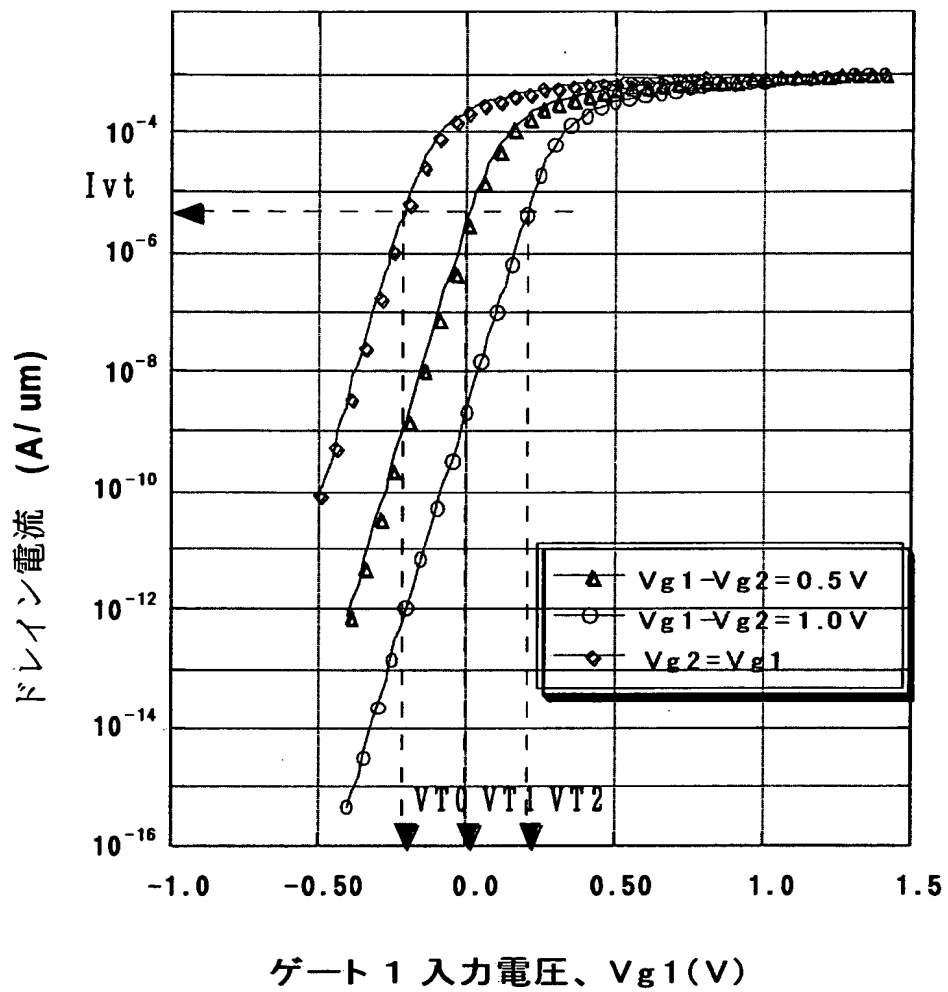
【図 2】



【図 3】

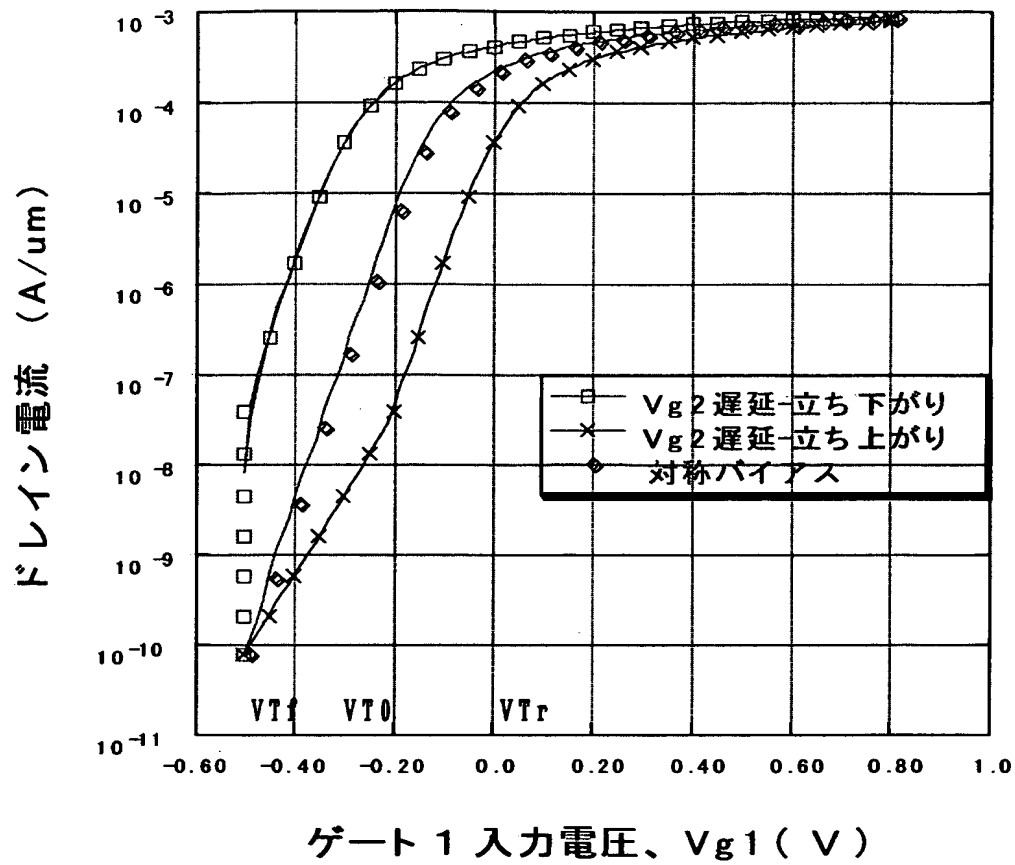


【図 4】

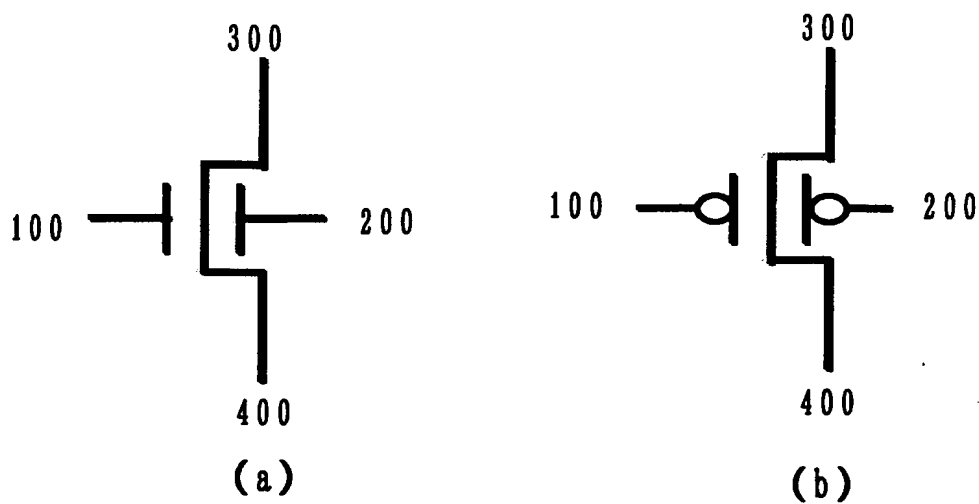


【図 5】

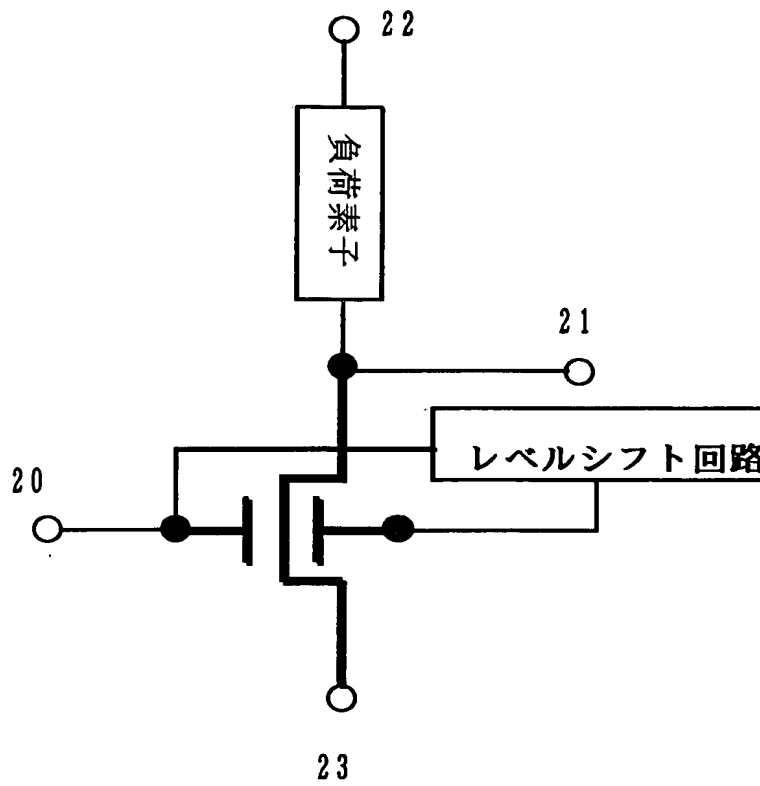
ゲート 2 に遅延入力を印加した場合



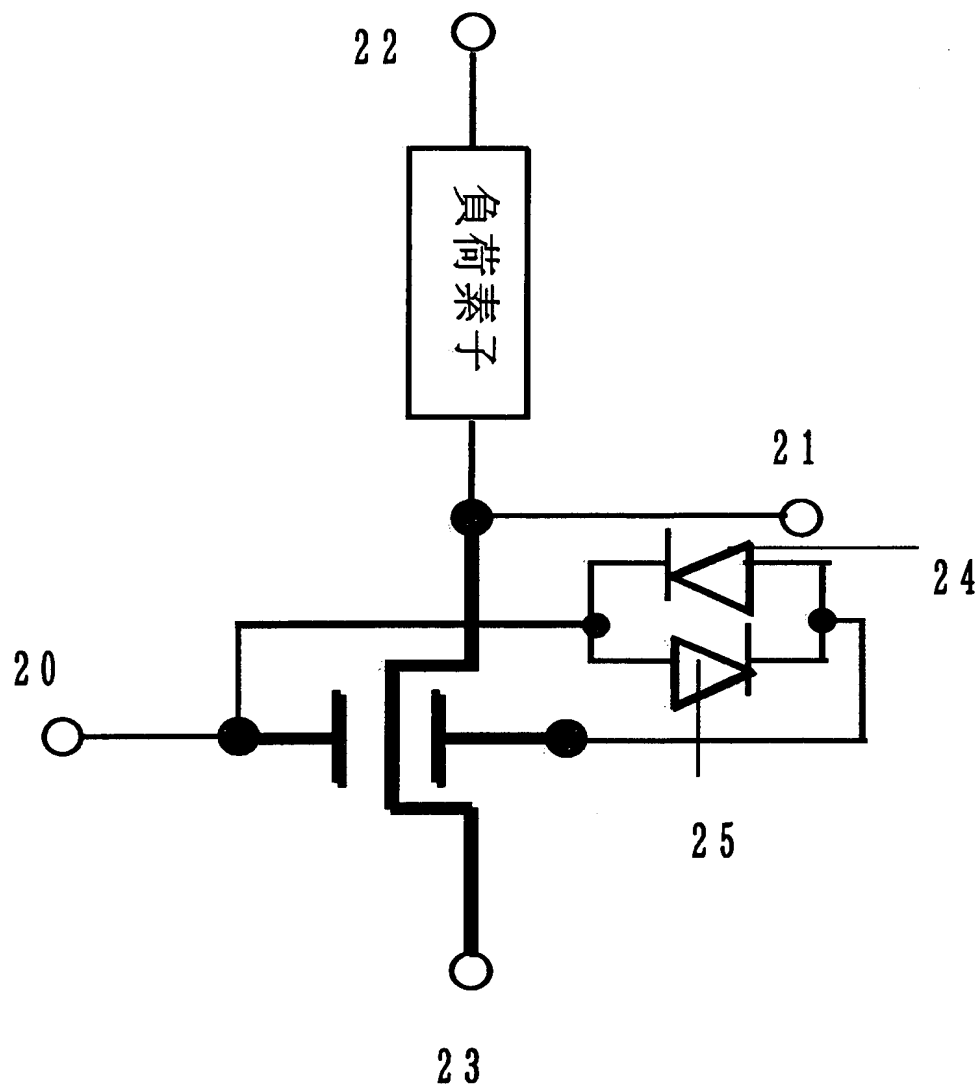
【図 6】



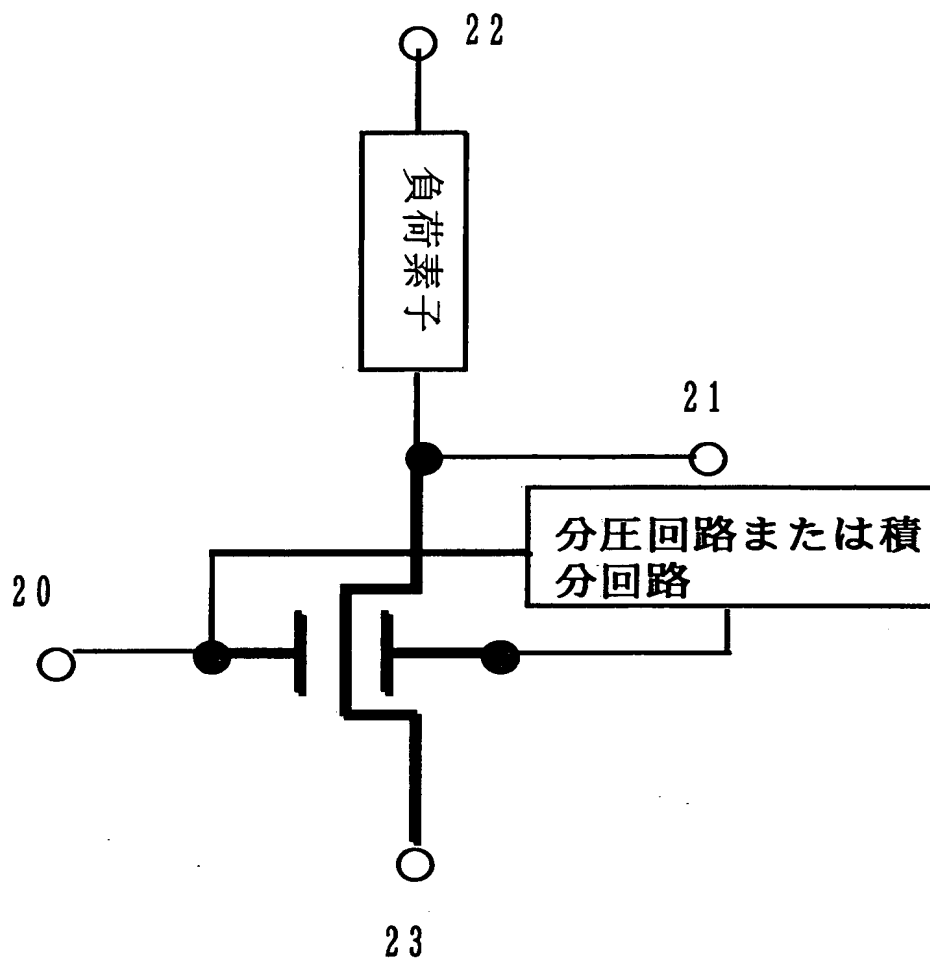
【図 7】



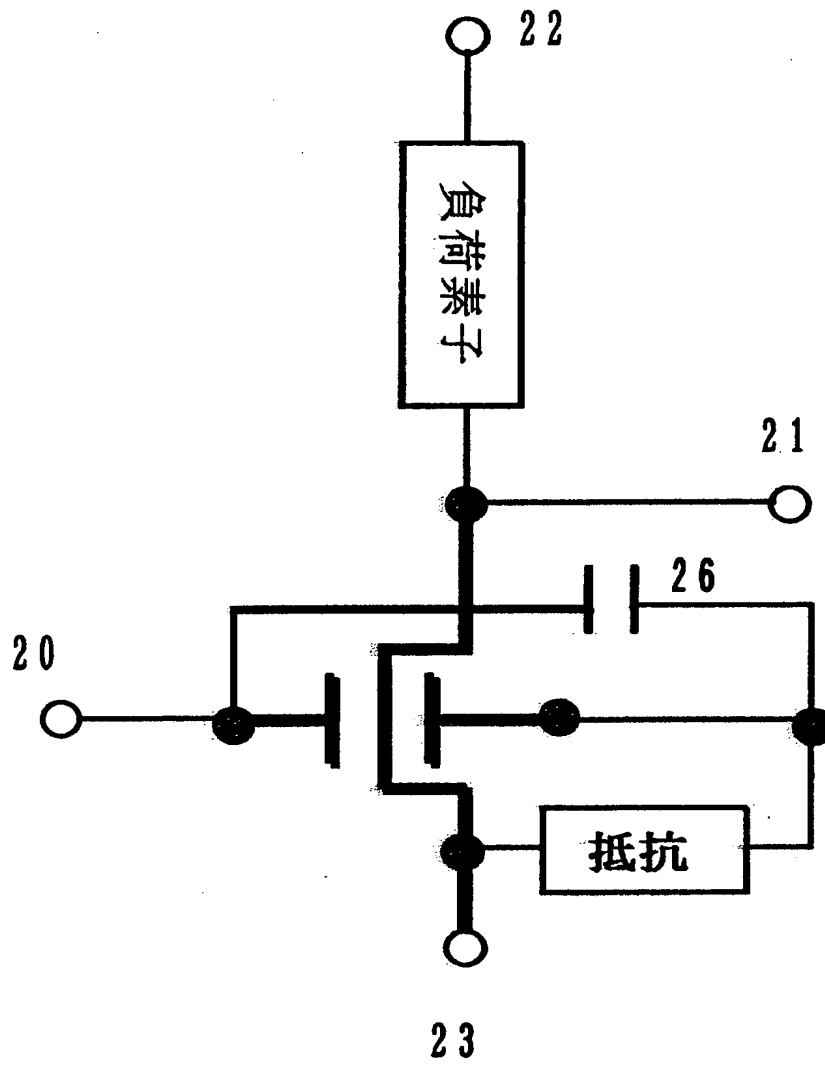
【図 8】



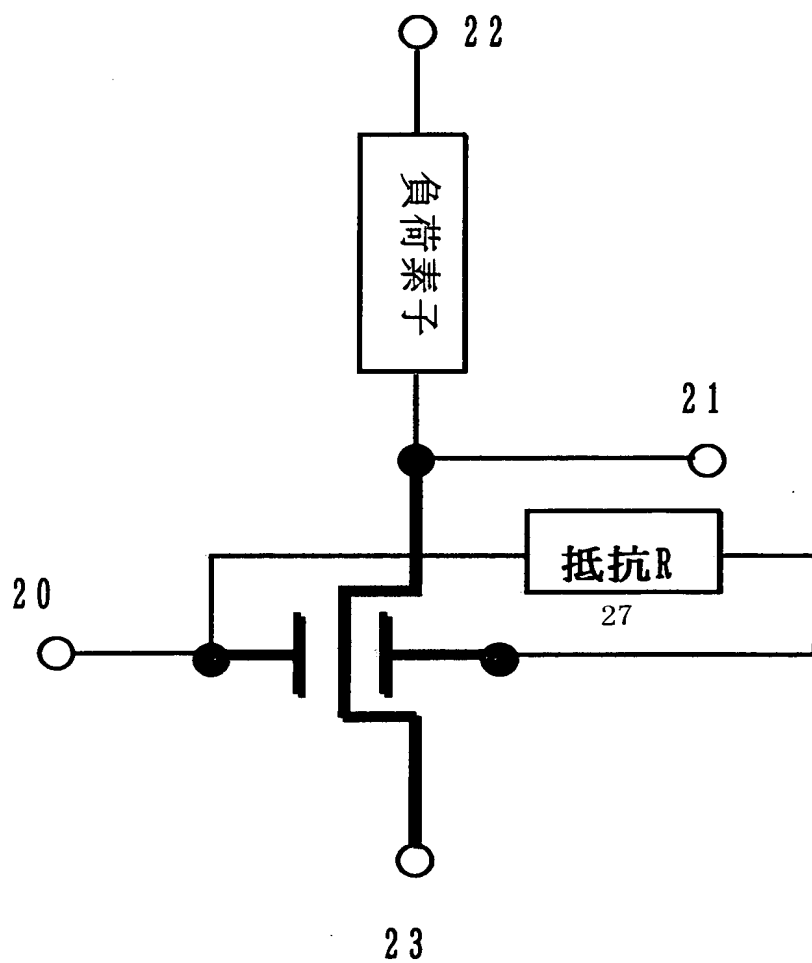
【図 9】



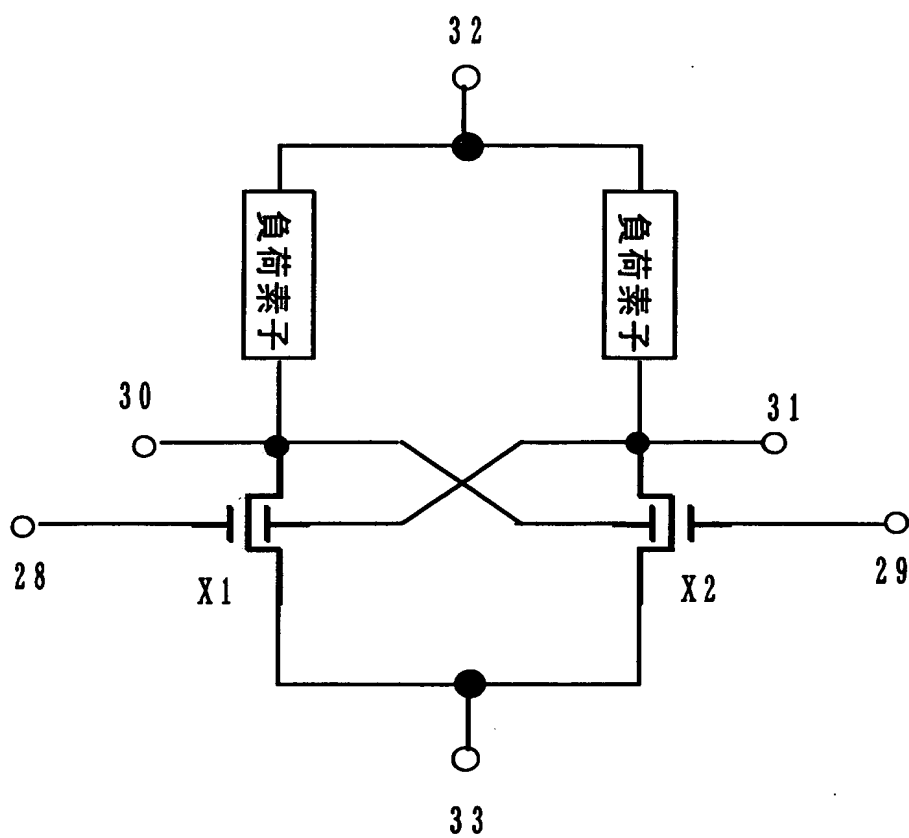
【図 10】



【図 11】



【図 12】



【書類名】 要約書

【要約】

【課題】 従来の二重ゲート電界効果トランジスタにおいては、しきい値電圧を任意にかつ精度よく制御し得るものがなかった。

【解決手段】 過渡応答動作時において、二重ゲート電界効果トランジスタの一方のゲート電極に、通常の論理操作を行うための入力信号を印加し、他方のゲート電極にはその信号に対し、信号レベルの時間的变化方向が同一で、かつ信号の低レベルまたは高レベルの少なくとも一方を所定の値だけシフトさせた信号、または所定の時間差（進行または遅延でもよい）を持たせた信号、または信号の時間変化を遅くした信号を印加する。

【選択図】 図 2

認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 8 7 3 8 6
受付番号	5 0 3 0 0 5 0 3 0 8 9
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 3 月 2 8 日

< 認定情報・付加情報 >

【提出日】 平成15年 3月27日

次頁無

特願 2 0 0 3 - 0 8 7 3 8 6

出 願 人 履 歴 情 報

識別番号

[3 0 1 0 2 1 5 3 3]

1. 変更年月日

2 0 0 1 年 4 月 2 日

[変更理由]

新規登録

住 所

東京都千代田区霞が関 1 - 3 - 1

氏 名

独立行政法人産業技術総合研究所